

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04183806 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: 05-175506 [JP 5175506 A]

PUBLISHED: July 13, 1993 (19930713)

INVENTOR(s): TARUI KEIJI

MORITA TATSUO

TSUCHIMOTO SHUHEI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-344269 [JP 91344269]

FILED: December 26, 1991 (19911226)

INTL CLASS: [5] H01L-029/784; H01L-021/302; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1452, Vol. 17, No. 583, Pg. 28,
October 22, 1993 (19931022)

ABSTRACT

PURPOSE: To obtain a thin film transistor having a high-mobility characteristic by causing a first insulating substance to have a film of an oxygen-containing silicon compound on the side of a substrate and a semiconductor layer, and have a film of a nitrogen-containing silicon compound.

CONSTITUTION: An SiN film 2 and an SiO(sub 2) film 3 are formed on the surface of a glass substrate 1 successively, and a amorphous Si film is formed on the film 3 and annealed to make a polycrystal Si film 4. Then an SiO(sub 2) film 5 to be a gate insulating film is formed, and a polycrystal Si film is laminated. And an islandlike pattern is produced by the etching processing of the three- layer film. Next an SiN film 7 is formed on the whole surface of the substrate, and only parts on the lateral walls of the islandlike pattern are left unremoved by anisotropic etching. Then a polycrystal Si film is formed and a resist pattern is formed. And a gate electrode 6 is made by etching a lower-layer gate electrode 6a and an upper-layer gate electrode 6b simultaneously. And ions are implanted into the whole surface, and activating annealing is performed to lower the resistance of the polycrystal Si film. Besides contact holes and an interlayer insulating film 8 are formed, and a thin film transistor with high mobility can be obtained.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
009393819 **Image available**

WPI Acc No: 1993-087286/199311

XRAM Acc No: C93-038465

XRPX Acc No: N93-066764

Semiconductor device for use in display appts. and image sensors - has a covering layer, semiconductor layer, gate dielectric and gate electrode over a dielectric substrate

Patent Assignee: SHARP KK (SHAF)

Inventor: MORITA T; TARUI K; TSUCHIMOTO S; YAOI Y; YOSHINOUCI A

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 532314	A1	19930317	EP 92308227	A	19920910	199311 B
JP 5129609	A	19930525	JP 9283688	A	19920406	199325
JP 5175506	A	19930713	JP 91344269	A	19911226	199332
EP 532314	B1	19990602	EP 92308227	A	19920910	199926
DE 69229314	E	19990708	DE 629314	A	19920910	199933
			EP 92308227	A	19920910	

Priority Applications (No Type Date): JP 9283688 A 19920406; JP 91230561 A 19910910; JP 91344269 A 19911226

Cited Patents: 4.Jnl.Ref; JP01064253; JP59099713; JP60086863; JP62193276

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 532314	A1	E	22	H01L-021/3205	

Designated States (Regional): DE FR GB

JP 5129609	A	6	H01L-029/784
------------	---	---	--------------

JP 5175506	A	10	H01L-029/784
------------	---	----	--------------

EP 532314	B1	E	H01L-021/3205
-----------	----	---	---------------

Designated States (Regional): DE FR GB

DE 69229314	E	H01L-021/3205	Based on patent EP 532314
-------------	---	---------------	---------------------------

Abstract (Basic): EP 532314 A

A semiconductor device comprises: (a) a dielectric substrate; (b) a covering layer on the substrate; (c) a semiconductor layer; (d) a gate dielectric layer; and (e) a gate electrode.

The covering layer (b) comprises a first O2-contg. Si cpd. and a second N2-contg. Si cpd. formed towards (a) and (c) respectively. Also claimed is a second device as above except the first layer is a N2-contg. Si cpd. and the second layer of O2-contg. Si cpd..

USE/ADVANTAGE - Used in display apparatus and image sensors. The covering layer is firmly adhered to the substrate eliminating peel-off during fabrication, preventing diffusion of impurity ions from a glass substrate into the substrate, restraining an off current when the TFTs of polysilicon are used. The device enables Si crystals in the semiconductor to grow into sufficient particle sizes enhancing crystal mobility.

Title Terms: SEMICONDUCTOR; DEVICE; DISPLAY; APPARATUS; IMAGE; SENSE;
COVER; LAYER; SEMICONDUCTOR; LAYER; GATE; DIELECTRIC; GATE;
ELECTRODE; DIELECTRIC; SUBSTRATE

Index Terms/Additional Words: SILICON; OXYGEN; NITROGEN

Derwent Class: L03; U11; U14

International Patent Class (Main): H01L-021/3205; H01L-029/784

International Patent Class (Additional): H01L-021/302; H01L-027/12

File Segment: CPI; EPI

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-175506

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/784

21/302

27/12

E 7353-4M

Z 8728-4M

9056-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 X

3 1 1 R

審査請求 未請求 請求項の数3(全 10 頁)

(21)出願番号

特願平3-344269

(22)出願日

平成3年(1991)12月26日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 垂井 敬次

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 森田 達夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 土本 修平

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 梅田 勝

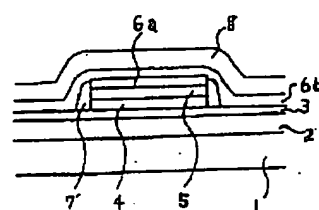
(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57)【要約】

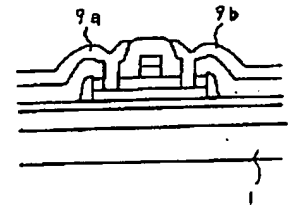
【目的】 ガラスからの不純物の影響を抑制し、結晶粒のおおきな多結晶Si膜を得ることにより、移動度の高いトランジスタ特性を有する薄膜トランジスタを提供する。

【構成】 ガラス基板1上にSiN膜2とSiO₂膜3を成膜し、その上に多結晶Si膜4、ゲート絶縁膜5、下層ゲート電極6aの積層膜を形成し島状パターンに加工した後、基板全面に絶縁体7を成膜し異方性エッチングすることで島状パターンの側壁にのみ絶縁体7'を残存させる。また、絶縁体7と下層ゲート電極6aとのエッチング選択比を利用することで選択的にエッチングが行われる。また異方性エッチングの際、絶縁体エッチング中のプラズマ分光特性と基板表面のSiO₂膜3が露出したとき、あるいは更にその下のSiN膜2が露出した時のプラズマ分光特性の差異を確認することでエッチング時間を制御する。

(a)



(b)



【特許請求の範囲】

【請求項1】絶縁性基板と、該基板上に設けた第1の絶縁体と、該第1の絶縁体上に半導体層、ゲート絶縁膜、下層ゲート電極が順次積層された後島状にパターンニングされてなる積層膜の島状パターンと、該積層膜の島状パターンの側壁に設けた第2の絶縁体と、前記第1の絶縁体と前記積層膜の島状パターン上に設けた上層ゲート電極とを有する薄膜トランジスタであって、前記第1の絶縁体が酸素を含む珪素化合物からなる膜を基板側に有し、かつ少なくとも、窒素を含む珪素化合物からなる膜を有することを特徴とする薄膜トランジスタ。

【請求項2】絶縁性基板と、該基板上に設けた第1の絶縁体と、該第1の絶縁体上に半導体層、ゲート絶縁膜、下層ゲート電極が順次積層された後島状にパターンニングされてなる積層膜の島状パターンと、該積層膜の島状パターンの側壁に設けた第2の絶縁体と、前記第1の絶縁体と前記積層膜の島状パターン上に設けた上層ゲート電極とを有する薄膜トランジスタであって、前記第1の絶縁体が酸素を含む珪素化合物からなる膜を半導体層側に有し、かつ少なくとも、窒素を含む珪素化合物からなる膜を有することを特徴とする薄膜トランジスタ。

【請求項3】絶縁性基板上に基板側と基板と反対側とで材料が異なる第1の絶縁体を形成する工程と、該第1の絶縁体上に半導体層、ゲート絶縁膜、及び下層ゲート電極用薄膜を順次成膜して積層膜を形成する工程と、前記積層膜の薄膜トランジスタ形成部分以外を除去することと前記積層膜の島状パターンを形成する工程と、前記島状パターンの側壁に第2の絶縁体を形成する工程と、上層ゲート電極用薄膜を成膜する工程と、同一レジストパターンを用いた前記上層及び下層ゲート電極用薄膜のエッチングによりゲート電極に形成する工程とをもつことを特徴とする請求項1又は2記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディスプレイデバイスやイメージセンサ等に使用できる薄膜トランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】液晶ディスプレイデバイスやイメージセンサ等の駆動に用いる薄膜トランジスタは、従来のICプロセスと同じプロセスで作製されていた。従来のICプロセスは結晶化、絶縁膜の形成及び不純物の活性化を1000°C近い高温で行う必要があり、透光性基板を必要とする時には基板材料が石英基板に限定されてしまい大面積化が困難であった。

【0003】近年、プロセスの低温化の方法が提案され、非晶質膜あるいは多結晶膜を出発材料とし、低温固相成長、レーザアニール等で結晶化させる方法が検討されている。

【0004】ところで、薄膜トランジスタは一般に電界効果型トランジスタであるために、その特性はゲート絶縁層とチャネルとなる多結晶Si膜の界面状態に非常に大きく影響される。このため、従来の高温プロセスでは熱酸化法により、ゲート絶縁層とチャネルの界面をチャネル層内部に作り込み、界面状態を良好に保っている。これに対し、低温プロセスでは、ゲート絶縁層も低温で形成する必要があるため上記の熱酸化法は使えない。そのため、多結晶Si膜を所定の形状に加工した後、弗酸等を用いて表面の清浄化処理を行い、その後スパッタ、あるいは、CVD法等を用いてゲート絶縁膜を形成する方法が採られているが、界面準位密度の十分な低減には至っていない。

【0005】そこで、多結晶Si膜を成膜した後、大気に晒さずゲート絶縁膜を連続して成膜する方法が提案されている。

【0006】また、ガラス基板の使用できる低温プロセスにおいては、大面積化、低価格化等が最大の長所となるが、反面、ガラス基板中に含まれる不純物が薄膜トランジスタの特性を大幅に低下させてしまうことがある。そこで、従来、例えば特開昭58-52874号公報等のようにガラス基板上に窒化シリコン(SiN₂)膜を形成することにより上述のようなガラス基板中の不純物イオンの影響を抑制し、トランジスタ特性の悪化を防止していた。

【0007】

【発明が解決しようとする課題】低温プロセスによる薄膜トランジスタの特性向上を図るためには多結晶Si膜とゲート絶縁膜の界面状態を改善することが不可欠である。このため、多結晶Si膜の形成後、大気に晒さず連続してゲート絶縁層の形成を行うことが理想である。しかしながらこの方法においては、ゲート絶縁膜および多結晶Si膜を所定の形状に加工したときに多結晶Si膜側面が露出するため、その後、ゲート電極を形成したときにゲート電極と露出した多結晶Si膜の側壁が接し、漏れ電流が増大することになる。

【0008】したがって、ゲート電極形成前に多結晶Si膜の側壁を絶縁体で覆う必要があり、図13に示すような構成にする必要がある。しかしながら、ゲート絶縁層5に通常よく用いられるSiO₂膜を用いたときには、多結晶Si膜4の側壁を覆う絶縁膜11はSiO₂膜と選択的にエッチング加工できることが必要条件となる。

【0009】もし、多結晶Si側壁を覆う絶縁膜11にゲート絶縁膜5と同じSiO₂膜、あるいは、SiO₂とエッチングの選択比の小さいSiN膜等を用いようとした場合、エッチング加工の際に、エッチング時間を厳密に管理しない限り同時にゲート絶縁膜をもエッチングしてしまうことになる。通常、SiO₂膜とエッチング選択性の有る絶縁膜として、SiO₂にPをドーブしたP

SGが知られており、Pのドーブ量が多いほど選択性が高いとされている。

【0010】但し、多結晶Si膜側壁をPSGで覆った場合には、PSGから多結晶Si膜側にPが拡散しトランジスタ特性に悪影響を及ぼしてしまう恐れがある。

【0011】また、パターンの側壁に絶縁膜等を形成する方法としては、基板全面に絶縁膜を成膜したあと、異方性エッチングすることでパターンの段差部のみに絶縁膜を残存させるといった方法が採られることがあるが、異方性エッチングの際のエッチング時間の管理が出来ないと残存する絶縁膜の量を制御することが出来ない。

【0012】エッチング時間の管理方法としては、エッチングしようとする材料のエッチング速度のデータを元に、その材料の膜厚からエッチング時間を算出するといった方法が最も簡単に行えるが、エッチングの再現性がよほど良くないと残存させる量を制御することは難しい。

【0013】また、ガラス基板上にSiN₂の被膜を形成した場合にはガラス基板中の不純物イオンの拡散が防止されるため、ガラス基板との十分な密着性を得ることができずに素子作製に支障をきたしていた。さらに、SiN膜直上に多結晶Si膜を形成しようとした場合、多結晶Si膜の結晶粒は十分な大きさには成長せず、トランジスタ特性として高い移動度を得ることはできなかった。

【0014】本発明は上記のような問題点に鑑みてなされたものであり、ガラス基板からの不純物の影響を抑え、ガラス基板上に形成した絶縁膜が剥がれ落ちることがなく、移動度の高いトランジスタ特性を得ること、更には、多結晶Si膜とゲート絶縁膜を連続して形成する方法において、多結晶Si膜を所定の形状に加工した後、多結晶Si膜、及びゲート絶縁膜に悪影響を与えることなく多結晶Si膜側壁に容易にかつ、再現性よく絶縁体を形成できるようにすることを目的とする。

【0015】

【課題を解決するための手段】本発明の薄膜トランジスタは絶縁性基板と、該基板上に設けた第1の絶縁体と、該第1の絶縁体上に半導体層、ゲート絶縁膜、下層ゲート電極が順次積層された後島状にパターンニングされてなる積層膜の島状パターンと、該積層膜の島状パターンの側壁に設けた第2の絶縁体と、前記第1の絶縁体と前記積層膜の島状パターン上に設けた上層ゲート電極とを有する薄膜トランジスタであって、前記第1の絶縁体が酸素を含む珪素化合物からなる膜を基板側に有し、かつ少なくとも、窒素を含む珪素化合物からなる膜を有することを特徴とする。

【0016】また、本発明の薄膜トランジスタは、絶縁性基板と、該基板上に設けた第1の絶縁体と、該第1の絶縁体上に半導体層、ゲート絶縁膜、下層ゲート電極が順次積層された後島状にパターンニングされてなる積層膜

の島状パターンと、該積層膜の島状パターンの側壁に設けた第2の絶縁体と、前記第1の絶縁体と前記積層膜の島状パターン上に設けた上層ゲート電極とを有する薄膜トランジスタであって、前記第1の絶縁体が酸素を含む珪素化合物からなる膜を半導体層側に有し、かつ少なくとも、窒素を含む珪素化合物からなる膜を有することを特徴とする。

【0017】さらに、本発明の薄膜トランジスタの製造方法は、絶縁性基板上に基板側と基板と反対側とで材料が異なる第1の絶縁体を形成する工程と、該第1の絶縁体の上に半導体層、ゲート絶縁膜、及び下層ゲート電極用薄膜を順次成膜して積層膜を形成する工程と、前記積層膜の薄膜トランジスタ形成部分以外を除去することで前記積層膜の島状パターンを形成する工程と、前記島状パターンの側壁に第2の絶縁体を形成する工程と、上層ゲート電極用薄膜を成膜する工程と、同一レジストパターンを用いた前記上層及び下層ゲート電極用薄膜のエッチングによりゲート電極に形成する工程とをもつことを特徴とする。

【0018】

【作用】上記のように本発明では、ガラス基板上に形成される第1の絶縁体中にSiN₂膜が含まれているため、ガラス基板からの不純物の拡散が防止される。また、前記第1の絶縁膜の基板側には、酸素を含む珪素化合物の膜が形成されているため、SiN₂のみを形成させた場合に比べてガラスとの密着性が良く、製造工程中に剥がれ落ちることがない。さらに、第1の絶縁体の半導体側に酸素を含む珪素化合物の膜が形成されているため結晶が大きく成長し、移動度の高い薄膜トランジスタを得ることができる。

【0019】また、島状パターンの上面を下層ゲート電極用薄膜とすることで、島状パターンの側壁に絶縁膜を形成するためのエッチング加工の際、特にゲート絶縁膜との選択的なエッチングを必要としないため、トランジスタ特性に悪影響を及ぼす恐れのあるPSG膜を用いる必要がない。

【0020】さらに、島状パターンの側壁に絶縁体を形成する方法は、基板全面に絶縁体膜を成膜した後、異方性エッチングすることで島状パターンの側壁にのみ絶縁体膜を残存させるといった簡便な方法で実施でき、エッチングの際にプラズマ分光分析を行うことでエッチング時間を精度よく管理できるため、島状パターンの側壁に残存させる絶縁体の形状を常に安定に作製することができる。

【0021】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0022】＜実施例1＞図1に、本発明の製造方法において作製された薄膜トランジスタの平面図を示し、図2乃至図8は実施例1における薄膜トランジスタの製造

工程を示す断面図であり、それぞれの(a)、(b)は図1におけるA-A'断面、B-B'断面図を示す。

【0023】まず、洗浄したガラス基板1の表面にスパッタ、あるいはCVD装置にてSiN膜2を約3000オングストローム成膜する。続いてその上に同じくスパッタ、あるいはCVD装置にてSiO₂膜3を約500オングストローム成膜する。次にSiO₂膜3の上にプラズマCVD装置にて非晶質Si膜を成膜する。成膜条件は基板温度400~600°CでH₂希釈されたSiH₄ガスを熱とプラズマで分解し約1000オングストローム堆積させる。

【0024】次に非晶質Si膜を多結晶化するため、真空中あるいは不活性ガス雰囲気中にて600°Cで50時間程度のアニールを行い多結晶Si膜4とする。続いて、減圧CVD装置にてゲート絶縁膜となるSiO₂膜5を約1000オングストローム成膜する。以上の非晶質Si膜の成膜からゲート絶縁膜の成膜までの工程において、プラズマCVD装置からアニール炉、及びアニール炉から減圧CVD装置へのガラス基板の移動は真空中、あるいは不活性ガス雰囲気中で保持されたロードロック室を介して行っている。

【0025】次に、減圧CVD装置にて下層ゲート電極6aとなる多結晶Si膜を約1000オングストローム成膜したのが図2に示した積層膜である。以上のようにして得られたSiO₂膜3上の3層の膜を同一のレジストパターンで各層をエッチングし、図3に示したような島状パターンに加工する。各層のエッチングは反応性イオンエッチャーを用い、エッチングした後の断面形状が基板に対し垂直となるように異方性エッチングを行った。尚、多結晶SiのエッチングにはSF₆とCCl₄の混合ガスを、SiO₂のエッチングにはCHF₃をそれぞれエッチングガスとして用いた。

【0026】次に、図4に示したように基板全面にスパッタ装置、あるいはプラズマCVD装置等にてSiN膜7を約5000オングストローム成膜する。その後、反応性イオンエッチャーにてCHF₃を反応性ガスとして用い、SiN膜7に異方性エッチングを行って、図5に示したようにSiN7'が島状パターンの側壁のみに残存させた。

【0027】図9に反応性イオンエッチング中のプラズマ発光スペクトルのうち、エッチングガスCHF₃とSiN膜7に起因するCNのスペクトルである388nmについて、エッチング開始直後からの発光強度の時間変化を示した。発光強度はある時点において急激に小さくなり、その時点でSiO₂膜3が露出したという判断が出来る。発光強度が最小になったことを確認した後、エッチングを終了すれば島状パターンの側壁に残存させるSiN7'の大きさを常に安定に形成することが出来る。この際の島状パターンの上面である下層ゲート電極6aの膜厚の減少は50オングストローム程度であっ

た。

【0028】また、このようにSiN膜7'を島状パターンの側壁に安定して残存させるためには、ゲート電極6aとその上を覆って形成されるSiN膜7とのエッチング選択比を利用してエッチングすることも可能である。

【0029】その後、減圧CVD装置にて上層ゲート電極6bとなる多結晶Si膜を約2000オングストローム成膜し、図6に示したようにゲート電極を所定の形状に加工するためレジストパターンを形成し、下層ゲート電極6a、及び上層ゲート電極6bを同時に反応性イオンエッチャーにてエッチングを行い、ゲート電極6とする。

【0030】その後、全面にイオン注入し活性化アニールすることによって下層ゲート電極6aおよび上層のゲート電極6bの多結晶Si膜、更にソース、ドレイン部となる多結晶Si膜の低抵抗化を行う。

【0031】次に、図7に示したように基板全面に常圧CVD装置にてSiO₂あるいはPをドープしたPSGを成膜し、一部にコンタクトホールを形成し、層間絶縁膜8を形成する。この時、ソース、ドレイン部と後に形成するA1電極とが接続されるよう同時にゲート絶縁膜にもホールを開ける。なお、コンタクトホールは、図示したソースとドレイン部のみでなく、続いて形成するA1配線と接続するゲート電極6上の膜にも形成している(図示は省略)。

【0032】続いてスパッタ装置にてA1を約5000オングストローム成膜し所定の形状に加工しソース電極9a、ドレイン電極9bとし、薄膜トランジスタ、及び、その周囲の配線を作製したのが図8である。

【0033】以上の工程により、図1に平面図を示した本発明の実施例の薄膜トランジスタを形成している。

【0034】<実施例2>実施例1においては、積層膜を島状パターンに加工した後、図4のように基板全面に第2の絶縁膜としてSiN膜7を成膜した場合について説明したが、実施例2ではSiNの代わりにSiO₂を成膜した場合について説明する。従って、図3までの工程は実施例1と全く同じである。

【0035】積層膜を島状パターンに成膜した後、図10に示したように基板全面に常圧CVD装置等によりSiO₂10を約5000オングストローム成膜する。その後、図11に示したように反応性イオンエッチャーにて反応性ガスCHF₃を用い、SiO₂10'が島状パターンの側壁のみに残存するように異方性エッチングを行う。

【0036】この際、実施例1と同様にプラズマ発光スペクトルの強度変化でエッチング時間を制御するが、SiO₂10をエッチングした後の表面に露出するものは、島状パターン上面の下層ゲート電極である多結晶Si膜6aと基板表面のSiO₂膜3である。下層ゲート

電極6aは、基板全体に占める面積が極めて小さいため、発光スペクトルの差異はほとんど認められない。

【0037】また、基板表面は同じ SiO_2 であるため発光スペクトルに何ら変化はない。従って、基板表面の SiO_2 膜3も続けてエッチングし、その下の不純物拡散防止膜である SiN 膜2の表面が露出するまでエッチングを実施した。図12にCNのスペクトルである388nmについて、エッチング開始直後からの発光強度の時間変化を示した。発光強度はある時点において急激に大きくなる。

【0038】CNのスペクトルはエッチングガスである CHF_3 と SiN 膜に起因することから発光強度が大きくなった時点で SiN 膜2が露出したという判断ができる。発光強度が最大となったことを確認した後、エッチングを終了すれば島状パターンの側壁に残存させる SiO_2 10'の大きさを常に安定に形成することができる。但し、実施例1に比べると基板表面の SiO_2 膜3を余分にエッチングする分、島状パターンの側壁に残存させる SiO_2 10'の大きさは小さくなるが、絶縁耐圧上、十分に耐え得るものであった。

【0039】本実施例においては SiO_2 膜3を500オングストロームとしているが、 SiO_2 膜3が厚くなるほど残存させる SiO_2 10'は小さくなるため1000オングストローム以下が適当である。また、この際の下層ゲート電極6aの膜厚の減少は100オングストローム程度であった。

【0040】その後の上層ゲート電極6bの成膜以降の工程は実施例1と全く同じである。また、島状パターンの側壁の絶縁層を形成するとき、島状パターンの上面は下層ゲート電極である多結晶 Si 膜であるため、選択的に絶縁膜のみをエッチング加工することもできる。

【0041】＜実施例3＞実施例1においては、第1の絶縁体としてガラス基板上に SiN 膜2及び SiO_2 膜3を順次積層した場合について説明したが、実施例3では前記第1の絶縁体として SiN_xO_y 及び SiN_2 を順次積層した場合について説明する。

【0042】図13は実施例3における薄膜トランジスタの断面図であり(a), (b)は図1に於けるA-A'断面、B-B'断面図を示す。

【0043】まず、洗浄したガラス基板1の表面に反応性スパッタ SiN_xO_y 膜11を形成する。 SiN_xO_y 膜11は Si ターゲットを用いて窒素と酸素の混合ガス中でスパッタすることにより形成する。酸素の流量割合は0.1~10%, トータル圧力は1~20mTorr、基板温度は150~300°Cの条件で良好な成膜が行えた。膜厚は200~500オングストローム程度で密着性に関し十分な効果があった。

【0044】次に SiN_xO_y 膜11上に SiN_2 膜12を形成する。窒素ガス中において、 Si をターゲットとしてスパッタすることにより SiN_xO_y 層11上に Si

N_2 膜が形成される。ガス圧は1~20mTorr、基板温度は150~300°Cの条件で良好な成膜が行えた。膜厚は、500~3000オングストローム程度で、不純物の抑制に関し、十分な効果があった。

【0045】上記のようにして SiN_xO_y 膜11、 SiN_2 膜12が形成されるが、この成膜時において、流入ガス中にアルゴン等の不活性ガスを混入させても良く、また、 SiN_xO_y 膜、 SiN_2 膜は同一装置内で連続して成膜することにより、より効率良く、良質な成膜を行うことができる。また、この実施例では反応性スパッタ法を用いたが、CVD法によっても SiN_xO_y 、 SiN_2 膜を形成する事は可能である。

【0046】この SiN_2 膜12上に実施例1同様にして薄膜トランジスタを形成した。実施例3においても実施例1と同様、不純物拡散防止膜である SiN 膜12の表面が露出するまでエッチングを実施し、図12のCNのスペクトルである388nmについて、発光強度が最大となったことを確認した後、エッチングを終了することにより島状パターンの側壁に残存させる SiO_2 7'の大きさを常に安定に形成することができた。

【0047】本実施例によれば、ガラス基板1上にガラス基板との密着性が良い SiN_xO_y を用いたので薄膜トランジスタの作成プロセス中にガラス基板から剥がれ落ちてしまうことがない。

【0048】＜実施例4＞第1の絶縁体としてガラス基板上に SiN_xO_y を積層した場合について説明する。なお、Yの値はガラス基板との境界部から上方にかけて2~0まで変化している。

【0049】図14は実施例4における薄膜トランジスタの断面図であり、(a), (b)は図1におけるA-A'断面図、B-B'断面図を示す。

【0050】まず、洗浄したガラス基板1の表面に反応性スパッタにより SiN_xO_y 膜14を形成する。

【0051】 SiN_xO_y 膜14は Si ターゲットを用いて窒素と酸素の混合ガス中でスパッタすることにより形成する。成膜初期時に酸素の流量割合を100~10%で行い、成膜進行に伴い酸素の流量割合を0%に落とし、酸素の流量割合を0%で一定膜成膜する。このような条件で成膜することによりYの値を2から0まで連続的に変化させた SiN_xO_y 膜14が形成できる。また、トータル圧力は1~20mTorr、基板温度は、150~300°Cの条件で良好な成膜が行えた。膜厚は500~3000オングストローム程度であった。

【0052】この SiN_xO_y 膜14上に実施例3と同様にして薄膜トランジスタを形成した。本実施例においても実施例3と同様、第1の絶縁体のガラス基板との密着性がよいため、工程中に剥がれ落ちてしまう事がない。

【0053】＜実施例5＞第1の絶縁体として、ガラス基板上に SiO_2 、 SiN 、 SiO_2 を順次積層し、島状パターンの周囲に形成する第2の絶縁体として実施

例1と同様にSiNを用いた場合について説明する。

【0054】図15は実施例5における薄膜トランジスタの断面図であり、(a)、(b)は図1におけるA-A'断面、B-B'断面図を示す。

【0055】まず洗浄したガラス基板1上にSiターゲットによる反応性スパッタ法によりSiO:N膜15を形成する。このSiO:N膜15は反応性スパッタ法において、基板温度200°C、RF power 750 W、ガス圧力12 mTorr、N₂ガス流量50 sccm、O₂ガス流量5 sccm以下にて約600オングストローム成膜する。ついで同一チャンパー内で連続してO₂ガスを流さない以外は成膜条件を変えずにSiN膜16を約2400オングストローム成膜する。さらに同一チャンパー内でターゲットをSiO₂に変え、基板温度200°C、RF power 750 W、ガス圧力5 mTorr、Arガス流量70 sccm、O₂ガス流量30 sccmにてSiO₂膜172を500オングストローム成膜する。

【0056】このSiO₂膜17上に実施例1と同様にして薄膜トランジスタを形成した。本実施例においては、ガラス基板と第1の絶縁膜との密着性がよく半導体層4のSi膜の結晶粒が十分に大きく、トランジスタ特性として、高い移動度のものが得られた。

【0057】＜実施例6＞実施例5と同様に第1の絶縁体としてガラス基板上にSiO:N、SiN、SiO₂を順次形成し、実施例2と同様に島状パターンの周囲に形成する第2の絶縁体としてSiO₂を用いた場合について説明する。図16は実施例6における薄膜トランジスタの断面図であり、(a)、(b)は図1におけるA-A'断面、B-B'断面図を示す。

【0058】基板1上に実施例5と同様にしてSiO:N膜15、SiN膜16、SiO₂膜を順次積層し、このSiO₂17上に実施例2と同様にして薄膜トランジスタを形成した。本実施例においても実施例5と同様にガラス基板と第1の絶縁膜との密着性がよく半導体層4のSi膜の結晶粒が十分に大きく、トランジスタ特性として、高い移動度のものが得られた。

【0059】また、上記実施例1～6によって得られた薄膜トランジスタをアクティブマトリクス型液晶ディスプレイに応用した例をず18に示す。図18において、18はゲートバスライン、19はソースバスライン、20は共通電極、21は本発明の薄膜トランジスタ、22は液晶である。また、本発明の薄膜トランジスタは高移動度特性が得られるため画素ごとに設ける以外にもゲート走査回路23、データドライバ回路24にも用いることが可能である。

【0060】

【発明の効果】本発明によると第1の絶縁体中にSiN₂膜が含まれているため、ガラス基板からの不純物の拡散が防止される。また、ガラス基板上に形成される第1

の絶縁膜の基板側には、酸素を含む珪素化合物の膜が形成されているため、SiN₂のみを形成させた場合に比べてガラスとの密着性が良く、製造工程中に剥がれ落ちることがない。また、第1の絶縁体の半導体側に酸素を含む珪素化合物の膜が形成されているため結晶が大きく成長し、移動度の高い薄膜トランジスタを得ることができ

【0061】また、多結晶Si膜とゲート絶縁膜を連続して形成する際、多結晶Si膜を所定の形状に加工した後、多結晶Si膜、及びゲート絶縁膜に悪影響を与えることなく多結晶Si膜側壁に容易にかつ、再現性よく絶縁体を形成できる。

【0062】さらに、島状パターンの側壁に絶縁体を形成する方法は、基板全面に絶縁体膜を成膜した後、異方性エッチングすることで島状パターンの側壁にのみ絶縁体膜を残存させるといった簡便な方法で実施でき、エッチングの際にプラズマ分光分析を行うことでエッチング時間を精度よく管理できるため、島状パターンの側壁に残存させる絶縁体の形状を常に安定に作製することができる。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの一実施例を示す平面図

【図2】実施例1の製造工程を示す断面図であり、

(a)は図1のA-A'断面、(b)は図1のB-B'断面。

【図3】実施例1の製造工程を示す断面図であり、

(a)は図1のA-A'断面、(b)は図1のB-B'断面。

【図4】実施例1の製造工程を示す断面図であり、

(a)は図1のA-A'断面、(b)は図1のB-B'断面。

【図5】実施例1の製造工程を示す断面図であり、

(a)は図1のA-A'断面、(b)は図1のB-B'断面。

【図6】実施例1の製造工程を示す断面図であり、

(a)は図1のA-A'断面、(b)は図1のB-B'断面。

【図7】実施例1の製造工程を示す断面図であり、

(a)は図1のA-A'断面、(b)は図1のB-B'断面。

【図8】実施例1の製造工程を示す断面図であり、

(a)は図1のA-A'断面、(b)は図1のB-B'断面。

【図9】実施例1の388 nmにおける発光強度の時間的変化を示す特性図。

【図10】実施例2の製造工程を示す断面図であり、

(a)は図1のA-A'断面、(b)は図1のB-B'断面。

【図11】実施例2の製造工程を示す断面図であり、

(a) は図 1 の A-A' 断面、(b) は図 1 の B-B' 断面。

【図 12】実施例 2 の 388 nm における発光強度の時間的変化を示す特性図。

【図 13】実施例 3 の薄膜トランジスタを示す断面図であり、(a) は図 1 の A-A' 断面、(b) は図 1 の B-B' 断面。

【図 14】実施例 4 の薄膜トランジスタを示す断面図であり、(a) は図 1 の A-A' 断面、(b) は図 1 の B-B' 断面。

【図 15】実施例 5 の薄膜トランジスタを示す断面図であり、(a) は図 1 の A-A' 断面、(b) は図 1 の B-B' 断面。

【図 16】実施例 6 の薄膜トランジスタを示す断面図であり、(a) は図 1 の A-A' 断面、(b) は図 1 の B-B' 断面。

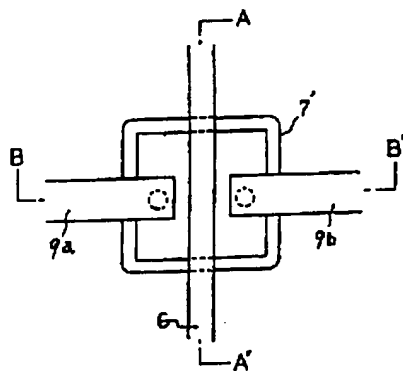
【図 17】比較例の薄膜トランジスタの断面図。

【図 18】本発明をアクティブマトリクス型液晶ディスプレイに応用した説明図。

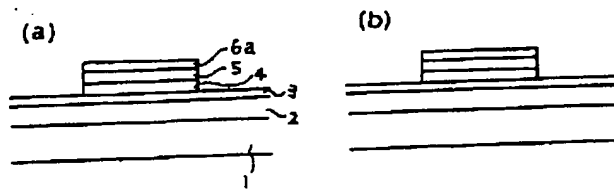
【符号の説明】

- 1 : ガラス基板
- 2 : SiN 膜 (不純物拡散防止層)
- 3 : SiO₂ 膜
- 4 : 多結晶 Si 膜
- 5 : ゲート絶縁膜
- 6 : ゲート電極 (6a : 下層ゲート電極膜、6b : 上層ゲート電極膜)
- 7、7' : 絶縁体 (SiO₂)
- 8 : 層間絶縁層
- 9 : Al 電極 (9a : ソース電極、9b : ドレイン電極)
- 10、10' : 絶縁体 (SiN)

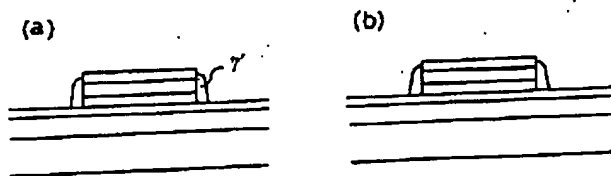
【図 1】



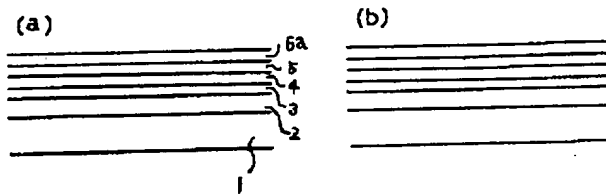
【図 3】



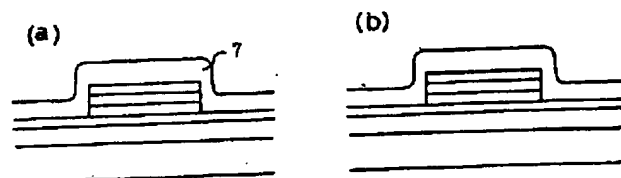
【図 5】



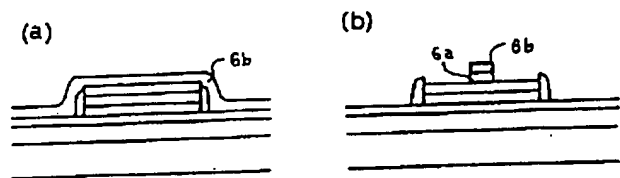
【図 2】



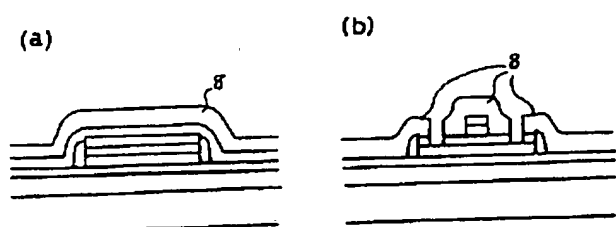
【図 4】



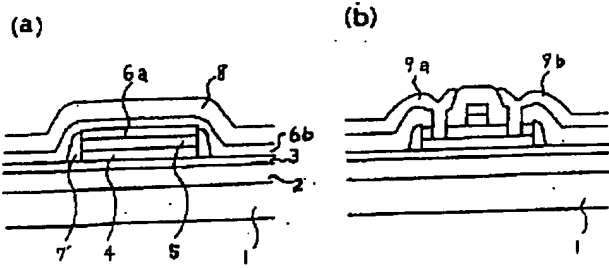
【図 6】



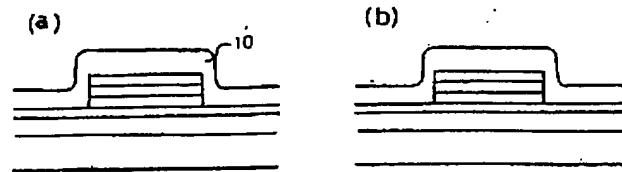
【図 7】



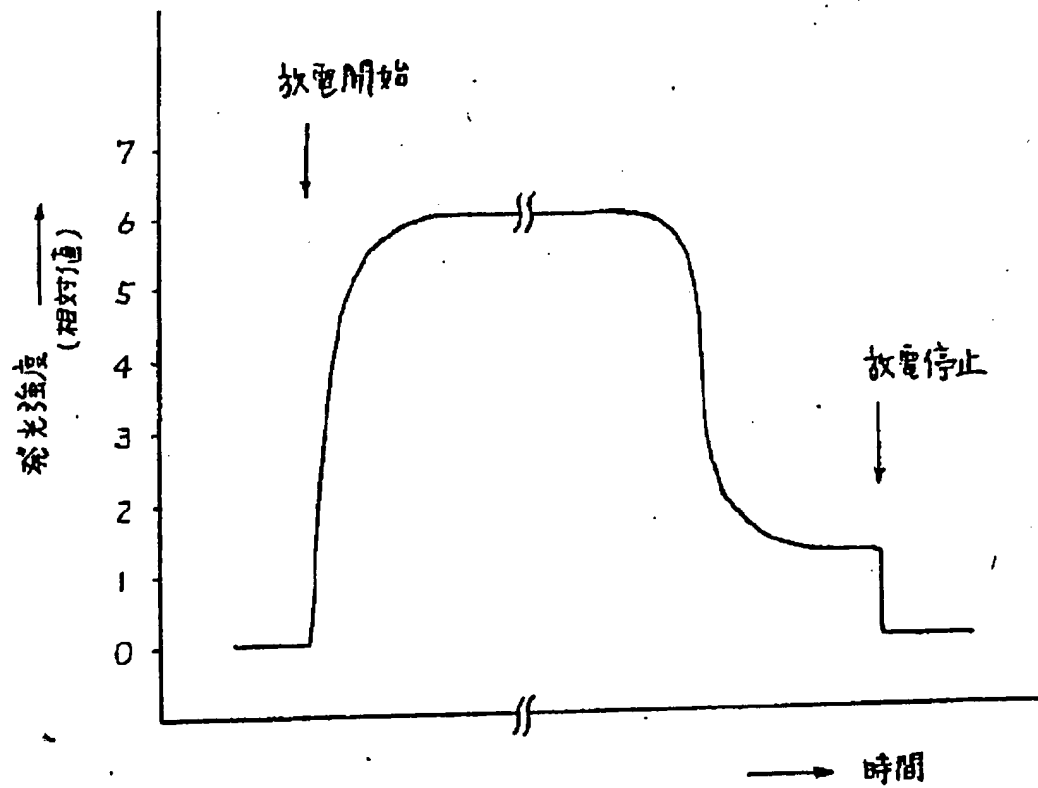
【図8】



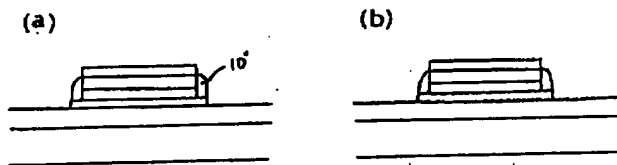
【図10】



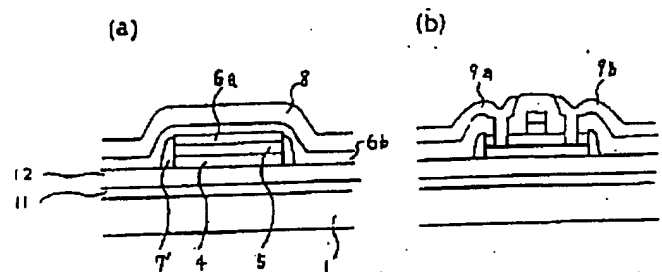
【図9】



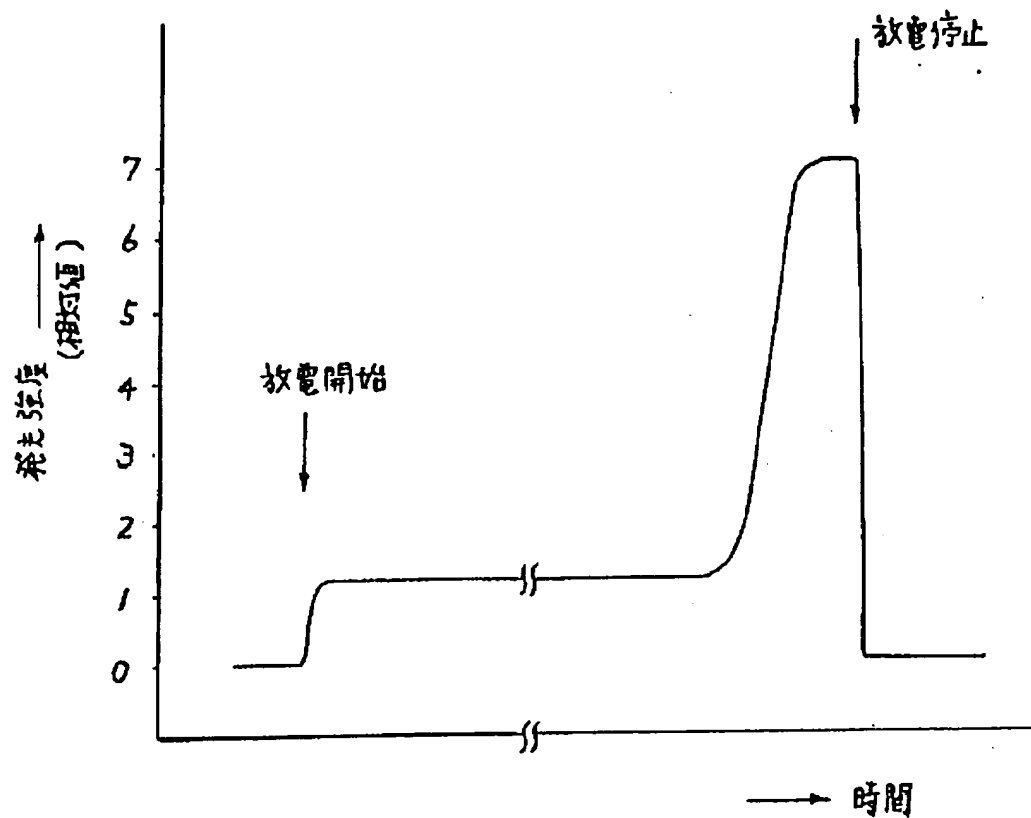
【図11】



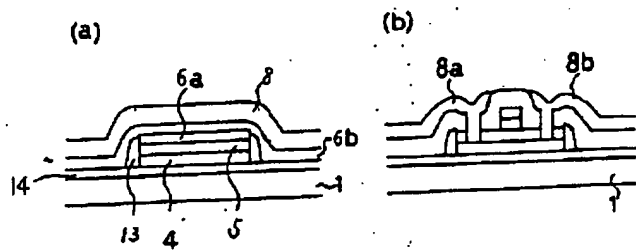
【図13】



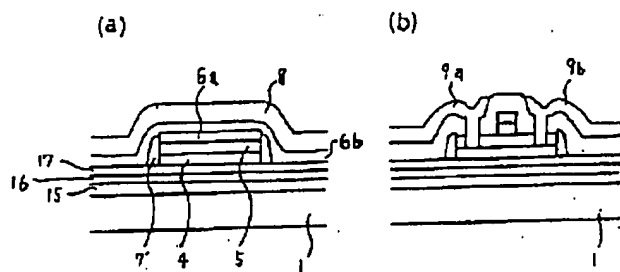
【図12】



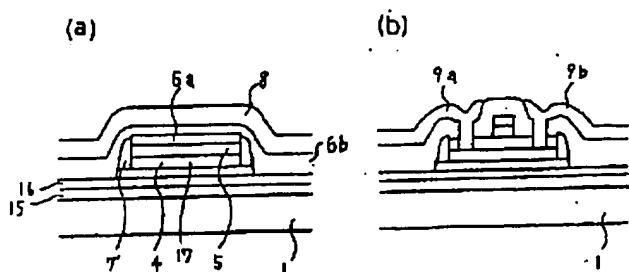
【図14】



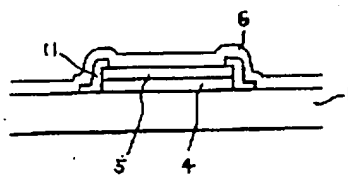
【図15】



【図16】



【図17】



【図18】

